

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **06005069 A**(43) Date of publication of application: **14.01.94**

(51) Int. Cl.

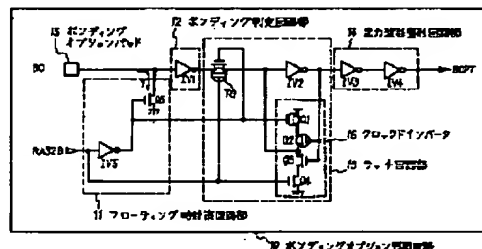
G11C 11/401
H01L 27/108
(21) Application number: **04159081**(71) Applicant: **NEC CORP**(22) Date of filing: **18.06.92**(72) Inventor: **KOSHIKAWA KOJI**(54) **DYNAMIC RANDOM-ACCESS MEMORY**

(57) Abstract:

PURPOSE: To reduce the on-standby power consumption of a DRAM which changes over the function of a product depending on whether a power-supply line or a grounding line is bonded or not.

CONSTITUTION: When a bonding option pad is in a floating state, a transistor Q5 which surely turns off an output BOPT is turned off when an external clock is at HIGH, and its on-standby power consumption is reduced. At this time, the output of the output BOPT is held by a latch circuit.

COPYRIGHT: (C)1994,JPO&Japio



(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平6-5069

(43)公開日 平成6年(1994)1月14日

(51)Int.Cl.⁵

識別記号

庁内整理番号

FI

技術表示箇所

G 1 1 C 11/401

H O I L 27/108

6741-5L

8728-4M

G 1 1 C 11/ 34

H O I L 27/ 10

3 6 2 C

3 2 5 v

審査請求 未請求 請求項の数 5 (全 5 頁)

(21)出題番号

特願平4-159081

(22)出題日

平成4年(1992)6月18日

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 越川 康二

東京都港区芝五丁目7番1号日本電気株式
会社内

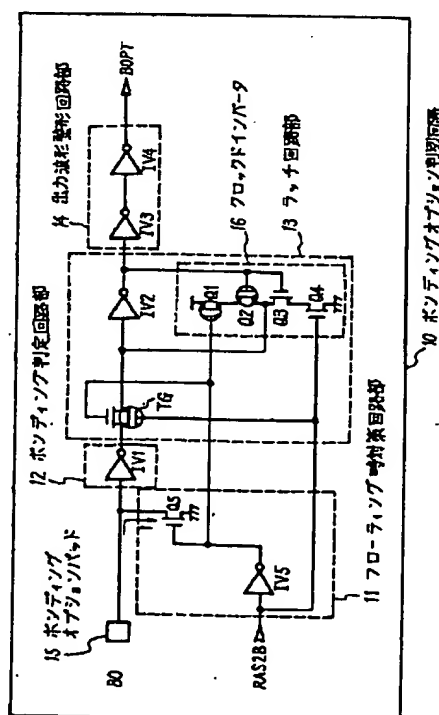
(74)代理人 弁理士 京本 直樹 (外2名)

(54)【発明の名称】 ダイナミック・ランダム・アクセス・メモリ

(57) 【要約】

【目的】電源線または接地線をボンディングするかしな
いかで製品の機能を切り換える D R A M の待機時消費電
流の削減を図る。

【構成】ボンディングオプションパッドがフローティングの時、出力B O P Tを確実にLowにするためのトランジスタQ 5を、外部クロックがHighの時はoffさせて、待機時消費電流を削減させ、この時、出力B O P Tの出力をラッチ回路で保持させる。



【特許請求の範囲】

【請求項1】 電源線または接地線をボンディングする
かしないかで、製品の機能を切り換えることを目的とし
たボンディングパッドと、前記ボンディングパッドに前
記電源線または前記接地線がボンディングされた時とさ
れなかった時とで異なるレベルの信号を出力するCMO
Sインバータと、前記ボンディングパッドと前記電源線
との間、または前記ボンディングパッドと前記接地線
の間にあり、外部クロックがLowレベルの時にON状態
となり、前記外部クロックがHighレベルの時にoff
状態となるMOSトランジスタと、前記外部クロック
がLowレベルであった時の前記CMOSインバータの
出力を保持するラッチ回路とを備えることを特徴とする
ダイナミック・ランダム・アクセス・メモリ。

【請求項2】 前記MOSトランジスタは、前記ボンデ
ィングパッドと接地線との間にあり、ゲートに前記外部
クロックを入力し、ソースを接地電位にドレインを前記
ボンディングパッドにそれぞれ接続したNチャネルMO
Sトランジスタであることを特徴とする請求項1記載の
ダイナミック・ランダム・アクセス・メモリ。

【請求項3】 前記MOSトランジスタは、前記ボンデ
ィングパッドと前記電源線との間にあり、ゲートに前記
外部クロックを入力し、ソースを電源電位にドレインを
前記ボンディングパッドにそれぞれ接続したPチャネル
MOSトランジスタであることを特徴とする請求項1記
載のダイナミック・ランダム・アクセス・メモリ。

【請求項4】 前記外部クロックは、反転RAS信号で
あることを特徴とする請求項1、2または3記載のダイ
ナミック・ランダム・アクセス・メモリ。

【請求項5】 前記ラッチ回路は、前記CMOSインバ
ータの出力を受けるトランスファゲート回路と前記トラ
ンスファゲート回路の出力を前記外部クロックでラッ
チするクロックドインバータとから成ることを特徴とす
る請求項1、2、3また4記載のダイナミック・ランダ
ム・アクセス・メモリ。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明はダイナミック・ランダム
・アクセス・メモリ（以下DRAMと記す）に関し、特
に、機能切り換え用のボンディングオプション判定回路
を有するDRAMに関する。

【0002】

【従来の技術】 従来、汎用のDRAMは、その使用目的
に応じて、ファーストページモード、ニブルモード、ス
タティックカラムモード等、機能の異なるいくつかの品
種に分けられる。更に、近年では、全メモリセルをリフ
レッシュするのに必要なサイクル数で、数種類の品種に
分けられ、その品種数は増大している。

【0003】 市場の動向に応じて、必要な品種を必要な
数だけ短納期で供給できるように、一種類の半導体DR

AMチップを組立工程におけるワイヤーボンディングの
やり方で、何種類もの品種に分けるようにしている場合
がある。

【0004】 例えば、あるパッドに電源線をボンディ
ングすれば、スタティックカラム品として機能し、ボンデ
ィングしなければ、ファーストページ品として機能す
る。

【0005】 上述のように、パッドに電源線がボンディ
ングされたか、されていないかを判定する従来技術のボン
ディングオプション判定回路40の構成の例を示す図
4を参照すると、ボンディングオプションパッド45に
供給される信号BOはCMOSインバータIV1からなる
ボンディング判定回路部42に入力され、その出力を
CMOSインバータIV3からなる出力波形整形回路部
に44入力し、出力BOP Tを得る。

【0006】 さらに、ボンディングオプションパッド4
5に接続するフローティング時対策回路部41は、ゲート
を電源電位にソースを接地電位に、ドレインを上記ボン
ディングオプションパッド45にそれぞれ接続したN
チャネルMOSトランジスタQ7で構成している。上述
のNチャネルMOSトランジスタQ7はCMOSインバ
ータIV1およびCMOSインバータIV3に比較し、
その駆動能力を低く設定する。

【0007】 次に、ボンディングオプション判定回路4
0の動作について説明する。

【0008】 ボンディングオプションパッド45に供給
される信号BOは、電源線にボンディングされるか、何
にもボンディングされずにフローティングであるかのど
ちらかの状態をとるが、電源線にボンディングされる場
合は、NチャネルMOSトランジスタQ7はその駆動能
力が十分に小さい為、ボンディング判定回路42の入力
は、インバータIV1の閾値レベルを超え、出力BOP
TはHighレベルとなる。

【0009】 一方、何もボンディングされずフローティ
ングである場合は、フローティング時対策回路部41の
働きにより、ボンディング判定回路42の入力レベルは
接地電位となり、出力BOP TはLowレベルになる。

【0010】

【発明が解決しようとする課題】 この従来のDRAMで
は、フローティング時対策回路部41のNチャネルMO
SトランジスタQ7が常時ONしているので、ボンディ
ングオプションパッド45に電源線をボンディングした
時、常に微少な電流が流れ、待機時電流特性を悪化させ
るという問題点があった。

【0011】

【課題を解決するための手段】 本発明のDRAMは、電
源線または接地線をボンディングするかしないかで、製
品の機能を切り換えることを目的としたボンディングパ
ッドと、前記ボンディングパッドに前記電源線または前
記接地線がボンディングされた時とされなかった時とで

異なるレベルの出力をするCMOSインバータと、前記ボンディングパッドと前記電源線の間または前記ボンディングパッドと接地線の間であり、外部クロックがLowレベルの時ON状態となり、前記外部クロックがHighレベルの時にoff状態となるMOSトランジスタと、外部クロックがLowレベルであった時の前記CMOSインバータの出力を保持するためのラッチ回路とで構成されている。

【0012】またさらに上記MOSトランジスタは、前記ボンディングパッドと前記接地線との間にあり、ゲートに前記外部クロックを入力しソースを接地電位にドレインを前記ボンディングパッドにそれぞれ接続したNチャネルMOSトランジスタで構成されてもよい。

【0013】またさらに上記MOSトランジスタは前記ボンディングパッドと前記電源線との間にあり、ゲートに前記外部クロックを入力しソースを電源電位にドレインを前記ボンディングパッドにそれぞれ接続したPチャネルMOSトランジスタで構成されてもよい。

【0014】さらに前記外部クロックは反転RAS信号で構成されてもよい。

【0015】

【実施例】次に本発明について図面を参照して説明する。

【0016】図1は本発明の第1の実施例のダイナミック・ランダム・アクセス・メモリの一部を示す回路図である。

【0017】ボンディングオプションパッド15に供給される入力信号BOは、インバータIV1からなるボンディング判定回路部12に入力され、その出力は、トランスファゲートTG、インバータIV2、ならびにPチャネルMOSトランジスタQ1およびQ2、NチャネルMOSトランジスタQ3およびQ4からなるクロックドインバータ16より構成されるラッチ回路部13に入力され、上記ラッチ回路部13の出力は、インバータIV3およびIV4のそれぞれからなる出力波形整形回路部14に入力され、出力BOPTを得る。

【0018】一方、フローティング時対策回路部11は、外部クロックRASBに同期した信号RAS2BからインバータIV5を介した信号をゲートに入力し、ソースを接地したNチャネルMOSトランジスタQ5のドレインにボンディングオプションパッド15を接続している。NチャネルMOSトランジスタQ5は、インバータIV1およびインバータIV5に比較しその駆動能力を低く設定する。

【0019】次に、本発明の第1の実施例のDRAMの動作について説明する。

【0020】入力信号RAS2Bは、図2に示すように、外部クロックRASBに同期した信号で、RASBがLowレベルの時、RAS2BはLowレベルである。

【0021】この時、ボンディングオプションパッド15に電源線がボンディングされると、トランジスタQ5はその駆動能力から十分に小さいので、インバータIV1の出力はLowレベルとなり、トランスファゲートTGはONしているので出力BOPTはHighレベルとなる。

【0022】ボンディングオプションパッド15が何もボンディングされずその電位フローティングの時は、RAS2BがLowレベルのため、トランジスタQ5がONし、インバータIV1の出力がHighレベルとなり、出力BOPTはLowレベルとなる。

【0023】次に、外部クロックRASBがHighレベルとなり、RAS2BもHighレベルとなると、トランスファゲートTGがoffし、トランジスタQ1～Q4からなるクロックドインバータ16がONとなり、ラッチ回路部13にデータがラッチされRASがHighレベルになる直前の出力BOPTの状態は保持される。この時、RAS2BがHighレベルであるので、トランジスタQ5はoffとなり、図1中の電流iはほぼ0 μ Aとなる。

【0024】次に、図3に本発明の第2の実施例のDRAMのボンディングオプション判定回路を示す。

【0025】本実施例は、ボンディングオプションパッド35に接地線をボンディングするか、あるいはフローティングとするかのどちらかとする場合のものである。

【0026】フローティング時対策回路部31は、ドレインを電源線に、ゲートを外部クロックRAS2Bに、ソースをボンディングオプションパッド35にそれぞれ接続するPチャネルMOSトランジスタQ6と、外部クロックRAS2Bを入力するインバータIV6とからなっている。トランジスタQ6は第1の実施例と同様にその駆動能力を小さく設定する。

【0027】ボンディング判定回路部12と出力波形整形回路部34は図4に示す従来例と同様の構成となっており、ラッチ回路部13は図1に示す実施例と同様の構成となっている。

【0028】この実施例の動作を説明すると、外部クロックRASBがLowレベルでRAS2BもLowレベルの時、ボンディングオプションパッド35に接地線がボンディングされていると、トランジスタQ6は能力が十分に小さいため、インバータIV1の出力はHighレベルとなり、トランスファゲートTGはONしているので出力BOPTはHighレベルとなる。

【0029】一方、ボンディングオプションパッド35に何もボンディングされずその電位がフローティングの時は、RAS2BがLowレベルのため、トランジスタQ6がONし、インバータIV1の出力はLowレベルとなり、出力BOPTがLowレベルとなる。

【0030】次に、外部クロックRASBがLowレベルとなると、図1に示す第1の実施例と同様にラッチ回

路部13の動きにより出力BOPTは前の状態を保持し、トランジスタQ6に流れる電流*i*はほぼ0 μ Aとなる。

【0031】

【発明の効果】以上説明したように本発明は、外部クロックRASBがHighレベルの待機時に、フローティング時対策回路部で消費する電流をほぼ0 μ Aとしたので、待機時消費電流を削減できる効果を有する。

【図面の簡単な説明】

【図1】本発明の第1の実施例のダイナミック・ランダム・アクセス・メモリの回路図である。

【図2】図1に示す第1の実施例の動作を説明するための波形図である。

【図3】本発明の第2の実施例のダイナミック・ランダム・アクセス・メモリの回路図ある。

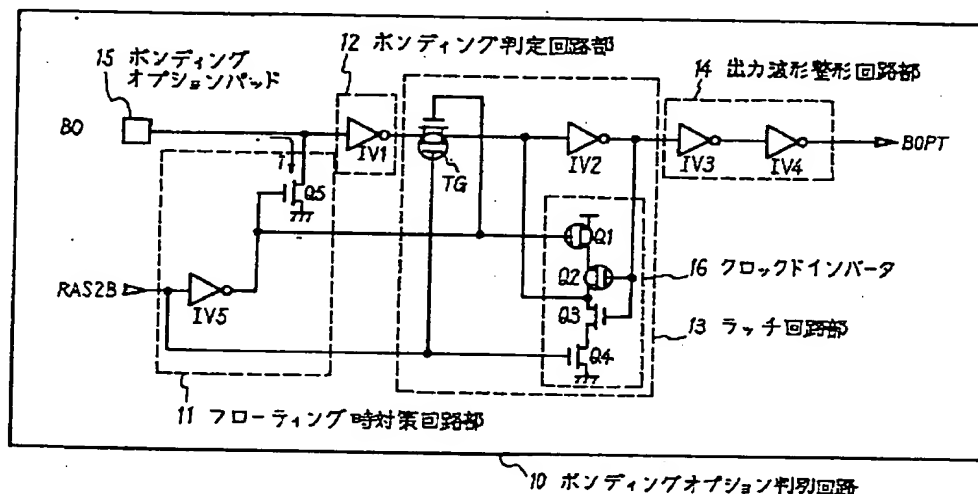
【図4】従来技術のダイナミック・ランダム・アクセス

・メモリを示す回路図である。

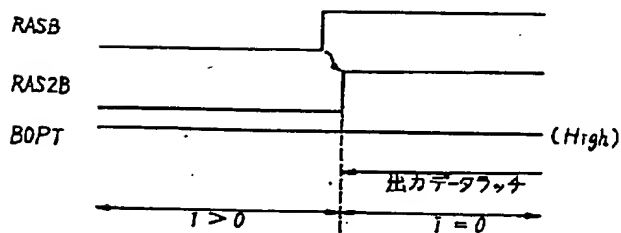
【符号の説明】

- 10, 30, 40 ボンディングオプション判定回路
- 11, 31, 41 フローティング時対策回路部
- 12, 42 ボンディング判定回路部
- 13 ラッチ回路部
- 14, 34, 44 出力波形整形回路部
- 15, 35, 45 ボンディングオプションパッド
- 16 クロックドインバータ
- BO 入力信号
- BOPT 出力信号
- i* 電流
- IV1~IV6 インバータ
- BASB, RAS2B 外部クロック
- Q1~Q6 MOSTランジスタ
- TG トランスファークゲート回路

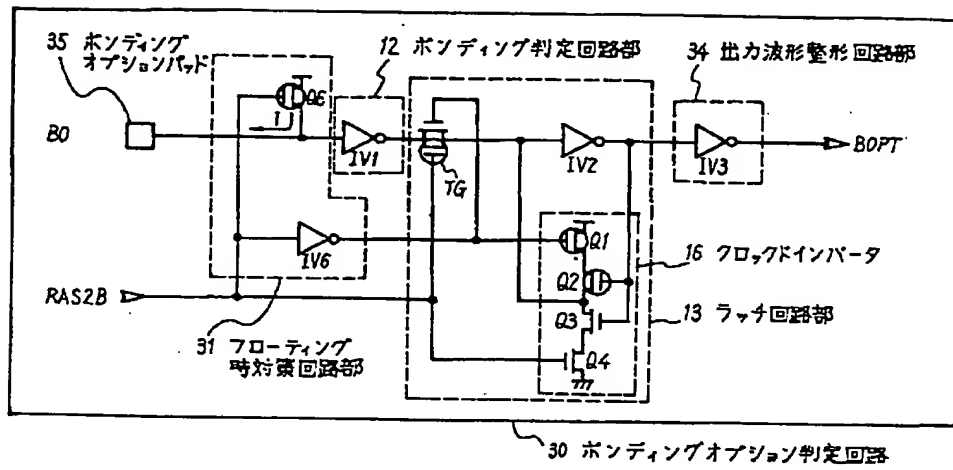
【図1】



【図2】



【図 3】



【図 4】

